

⑫ 公開特許公報(A)

平2-272490

⑬ Int. Cl.⁵G 09 G 3/36
G 02 F 1/133

識別記号

5 2 0
5 5 0

庁内整理番号

8621-5C
8708-2H
8708-2H

⑭ 公開 平成2年(1990)11月7日

審査請求 未請求 請求項の数 9 (全10頁)

⑮ 発明の名称 液晶表示装置及び液晶表示装置用電源装置

⑯ 特 願 平1-92832

⑰ 出 願 平1(1989)4月14日

⑱ 発 明 者 甲 展 明 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所
家電研究所内

⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑳ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1 発明の名称

液晶表示装置及び液晶表示装置用電源装置

2 特許請求の範囲

- 1 一对の基板の間に液晶を封入して成り、前記基板のうち、少なくとも一方の基板は、その表面上に、ほぼ横方向にのびる複数のゲートバスと、ほぼ縦方向にのびる複数のドレインバスと、前記ゲートバスとドレインバスの交点にそれぞれ配される画素トランジスタ及び液晶駆動電極と、を備えた液晶表示手段と、

選択状態と非選択状態とを示す走査開始信号を入力し、該走査開始信号を順次遅延して複数の出力より順次出力するシフトレジスタと、該シフトレジスタの各出力と複数の前記ゲートバスとにそれぞれ対応して配され、選択電位と非選択電位とをそれぞれ入力し、対応するシフトレジスタの出力からの出力信号が選択状態を示している時には、入力された前記選択電位を、

非選択状態を示している時には、入力された前記非選択電位を、それぞれ、対応するゲートバスに供給する複数のアナログスイッチと、を備えた垂直走査回路と、

入力される映像信号をサンプリングして、前記ドレインバスにそれぞれ供給する水平走査回路と、を有するアクティブマトリクス形液晶表示装置において、

該液晶表示装置に用いられる電源のオンまたはオフを検出する検出回路と、該検出回路が前記電源のオンまたはオフを検出した時、前記シフトレジスタに入力される前記走査開始信号を、所定の期間、選択状態を示す信号にする手段と、を設けたことを特徴とする液晶表示装置。

- 2 請求項1に記載の液晶表示装置において、前記液晶表示手段の基板のうち、画素トランジスタ等を備えていない他方の基板は、その表面上に対向共通電極を備え、と共に、該対向共通電極の電位と等しい電位を前記映像信号と切り換えて前記水平走査回路に入力するスイッチを設

けたことを特徴とする液晶表示装置。

3. 請求項 1 または 2 に記載の液晶表示装置において、前記検出回路が前記電源のオンを検出した後、少なくとも全てのゲートバスに前記選択電位が供給されるまでの間、前記液晶表示装置が正常動作をするのに必要な電源電圧を確保することを特徴とする液晶表示装置。
4. 一对の基板の間に液晶を封入して成り、前記基板のうち、少なくとも一方の基板は、その表面上に、ほぼ横方向にのびる複数のゲートバスと、ほぼ縦方向にのびる複数のドレインバスと、前記ゲートバスとドレインバスの交点にそれぞれ配される画素トランジスタ及び液晶駆動電極と、を備えた液晶表示手段と、

選択状態と非選択状態とを示す走査開始信号を入力し、該走査開始信号を順次遅延して複数の出力より順次出力するシフトレジスタと、該シフトレジスタの各出力と複数の前記ゲートバスとにそれぞれ対応して配され、選択電位と非選択電位とをそれぞれ入力し、対応するシフト

またはオフを検出した時、全ての選択状態を示すようになるセット形シフトレジスタから成ることを特徴とする液晶表示装置。

6. 請求項 4 に記載の液晶表示装置において、前記検出回路が前記電源のオンまたはオフを検出した時、各アナログスイッチにそれぞれ入力される前記非選択電位を選択電位と等しい電位に切り換える手段を有することを特徴とする液晶表示装置。
7. 請求項 5 または 6 に記載の液晶表示装置において、前記液晶表示手段の基板のうち、画素トランジスタ等を備えていない他方の基板は、その表面上に対向共通電極を備え、と共に、該対向共通電極の電位と等しい電位を前記映像信号と切り換えて前記水平走査回路に入力するスイッチを設けたことを特徴とする液晶表示装置。
8. 一对の基板の間に液晶を封入して成り、前記基板のうち、少なくとも一方の基板は、その表面上に、ほぼ横方向にのびる複数のゲートバスと、ほぼ縦方向にのびる複数のドレインバスと、

レジスタの出力からの出力信号が選択状態を示している時には、入力された前記選択電位を、非選択状態を示している時には、入力された前記非選択電圧を、それぞれ、対応するゲートバスに供給する複数のアナログスイッチと、を備えた垂直走査回路と、

入力される映像信号をサンプリングして、前記ドレインバスにそれぞれ供給する水平走査回路と、を有するアクティブマトリクス形液晶表示装置において、

該液晶表示装置に用いられる電源のオンまたはオフを検出する検出回路を設け、該検出回路が前記電源のオンまたはオフを検出した時、全てのアナログスイッチは、それぞれ、直ちに所定の期間、入力された前記選択電位を対応するゲートバスに供給することを特徴とする液晶表示装置。

5. 請求項 4 に記載の液晶表示装置において、前記シフトレジスタは、その各出力より出力される出力信号が、前記検出回路が前記電源のオン

前記ゲートバスとドレインバスの交点にそれぞれ配される画素トランジスタ及び液晶駆動電極と、を備えた液晶表示手段と、

選択状態と非選択状態とを示す走査開始信号を入力し、該走査開始信号を順次遅延して複数の出力より順次出力するシフトレジスタと、該シフトレジスタの各出力と複数の前記ゲートバスとにそれぞれ対応して配され、選択電位と非選択電位とをそれぞれ入力し、対応するシフトレジスタの出力からの出力信号が選択状態を示している時には、入力された前記選択電位を、非選択状態を示している時には、入力された前記非選択電圧を、それぞれ、対応するゲートバスに供給する複数のアナログスイッチと、を備えた垂直走査回路と、

入力される映像信号をサンプリングして、前記ドレインバスにそれぞれ供給する水平走査回路と、を有するアクティブマトリクス形液晶表示装置において、

該液晶表示装置に用いられる電源のオフを検

出する検出回路と、該検出回路が前記電源のオフを検出した時、各アナログスイッチにそれぞれ入力される非選択電位を前記選択電位と等しい電位に近づける手段と、を設けたことを特徴とする液晶表示装置。

9. 一対の基板の間に液晶を封入して成り、前記基板のうち、少なくとも一方の基板は、その表面上に、ほぼ横方向にのびる複数のゲートバスと、ほぼ縦方向にのびる複数のドレインバスと、前記ゲートバスとドレインバスの交点にそれぞれ配される画素トランジスタ及び液晶駆動電極と、を備えた液晶表示手段と、

選択状態と非選択状態とを示す走査開始信号を入力し、該走査開始信号を順次遅延して複数の出力より順次出力するシフトレジスタと、該シフトレジスタの各出力と複数の前記ゲートバスとにそれぞれ対応して配され、選択電位と非選択電位とをそれぞれ入力し、対応するシフトレジスタの出力からの出力信号が選択状態を示している時には、入力された前記選択電位を、

ス形液晶表示装置及び液晶表示装置用電源装置に関するものである。

〔従来の技術〕

従来、アクティブマトリクス形液晶表示パネルを用いた液晶テレビは、テレビ技術 1988 年 6 月号 PP50-64 に論じられているように構成されており、その電圧波形については、テレビジョン学会誌 vol. 42, No 10 (1988) PP27-33 において論じられている。

〔発明が解決しようとする課題〕

上記従来技術は、液晶表示装置の電源オン・オフ時の配電がされておらず、電源オン・オフのくり返しにより、液晶表示パネル内に電荷が蓄積され、焼付現象やフリッカなどの表示品質が劣化する可能性があった。

本発明の目的は、液晶表示装置の電源オン・オフのくり返しによる表示品質劣化を防止することにある。

〔課題を解決するための手段〕

上記した目的を達成するために、本発明では、

非選択状態を示している時には、入力された前記非選択電位を、それぞれ、対応するゲートバスに供給する複数のアナログスイッチと、を備えた垂直走査回路と、

入力される映像信号をサンプリングして、前記ドレインバスにそれぞれ供給する水平走査回路と、

を有するアクティブマトリクス形液晶表示装置に、該液晶表示装置を動作させるために必要な前記選択電位や非選択電位等の電源電圧を電源より供給する液晶表示装置用電源装置において、

前記電源のオフを検出する検出回路と、該検出回路が前記電源のオフを検出した時、前記液晶表示装置に供給される前記非選択電位を前記選択電位と等しい電位に近づける手段と、を有することを特徴とする液晶表示装置用電源装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、液晶テレビ等のアクティブマトリク

液晶表示装置に用いられる電源のオンまたはオフを検出する検出回路を設け、該検出回路が前記電源のオンまたはオフを検出した時、垂直走査回路内の全てのアナログスイッチより、それぞれ、所定の期間、選択電位を液晶表示パネル内の対応するゲートバスに供給する様になると共に、前記液晶表示パネルの対向共通電極の電位と等しい電位を映像信号に代えて水平走査回路に入力するようにした。

〔作用〕

前記検出回路が前記電源のオンまたはオフを検出した時、垂直走査回路内の各アナログスイッチによって、所定の期間、各ゲートバスに選択電位が供給されることより、各ゲートバスに接続された各画素トランジスタは全てオンする。そして、前記水平走査回路に映像信号に代えて対向共通電極の電位と等しい電位を入力することにより、各ドレインバス、各画素トランジスタを介して各液晶駆動電極にその電位が供給され、その結果、各液晶セルには電圧が印加されない状態となる。

こうして、電源オン又はオフ時の、液晶表示パネル内の電荷積蓄を防止することにより、電源オン・オフをくり返しても液晶表示パネル内の電荷蓄積が生じないので、液晶素子を完全交流駆動することができ、焼付現象やフリッカ等の表示品劣化が生じることがない。

〔実施例〕

以下、本発明の第1の実施例を第1図により説明する。

第1図は本発明の第1の実施例としての液晶表示装置を示すブロック図である。

第1図において、1はアクティブマトリクス液晶表示パネルであり、横方向に配線されたゲートバスG1、G2、…と、縦方向に配線されたドレインバスD1、D2、…の交点に画素トランジスタ13と画素駆動電極B1、B2、…を形成したアクティブマトリクス基板（図示せず）と、対向共通電極C0を形成したガラス基板（図示せず）との間に液晶（図示せず）を封入し、前記各交点に液晶セル14を形成したものである。2は垂直走査回

路3に与える。

シフトレジスタ21は、入力データ波形STV'と端子204に印加される垂直走査クロックにより順次選択信号を形成してスイッチ22を制御し、端子201に加えられる画素トランジスタ13をオンさせるゲート・オン電位VGHと、端子202に加えられる画素トランジスタ13をオフさせるゲート・オフ電位VGLとを順次出力し、ゲートバスG1、G2、…に、第2図に同名の波形で示した順次選択波形G1、G2、…を与える。

この順次選択波形G1、G2、…に同期して、水平走査回路3より、端子301に加えられる映像信号を駆動する画素の位置に応じてサンプリングして得られた信号がドレインバスD1、D2、…に順次送出されると、画素トランジスタ13が適宜オン・オフを繰り返す。画素電極B1、B2、…に、第2図の波形例に示す波形が与えられることになる。

一方、通常表示状態では、電源オン・オフ検出回路4が無い第3図の従来例においても、端子203に加えられる垂直走査開始信号STVが直接シフ

トレジスタ21とスイッチ22で構成されている。3は水平走査回路、4は電源オン・オフ検出回路、41はオア回路、42はスイッチである。

第2図は第1図の実施例における各部動作波形例を示す波形図である。

また、第3図は電源オン・オフ回路で制御されるオア回路41やスイッチ42を持たない、従来の液晶表示装置を示すブロック図であり、第4図は第3図の従来例における各部動作波形例を示す波形図である。

以下、第2図及び第4図の波形図を参照し、第1図の実施例と第3図の従来例とを対比させて説明する。

まず、第1図の実施例では、通常表示状態において、電源オン・オフ検出回路4の出力は“L”となっており、オア回路41の出力波形STV'として、端子203に加えられる垂直走査開始信号STVが得られ、シフトレジスタ21に入力される。また、スイッチ42は端子301に加えられる映像信号を選択し、

シフトレジスタ21に入力される点と、端子301に加えられる映像信号が直接水平走査回路3に入力される点さえ除けば、第1図の実施例の動作と同じとなる。

次に、電源オフ時の動作について説明する。

まず、電源オン・オフ検出回路4が無い第3図の従来例の場合、電源がオフになると、垂直走査回路2、水平走査回路3の動作が止まってしまうため、電源オフ時に各画素電極B1、B2、…に与えられていた電圧が、各液晶セル14の容量分により保持され、液晶セル14に直流電圧が印加されてしまう危険があった。液晶セル14に直流電圧が印加される状態が続くと、液晶セル14を構成する配向膜等に電荷が蓄積され、再び電源をオンにした時、フリッカや焼付（表示画像を従えても、以前の表示内容が残る現象）などの原因となる場合がある。特に、電源オン・オフをくり返すと上記蓄積電荷が積算されてしまう危険もあった。

これに対し、第1図の実施例では、電源オフを、電源オン・オフ検出回路3により検出して、波形

DOP を "H" にした後、少なくとも1フィールド以上の期間、液晶表示パネル1部分の正常動作に必要な最低電源電圧を確保すると共に、その期間中はオア回路41の出力STV'を"H"とし、かつ、スイッチ42により、水平走査回路3に映像信号の代わりに対向共通電極C0の電位VCOMを入力している。

シフトレジスタ21のデータ入力が"H"となっているので、端子204に入力される垂直クロックに応じて、シフトレジスタ21の出力は順次"H"となり、1フィールド期間以内に全出力"H"となる。このため、最低電源電圧が確保されている間に、スイッチ22は全て端子201側に接続され、液晶表示パネル1のゲート電極G1, G2, ...にゲート・オン電位VGHをそれぞれ印加し、全ての画素トランジスタ13をオンさせる。

一方、水平走査回路3には映像信号の代わりに対向共通電極C0の電位VCOMが与えられているので、全てのドレインバスD1, D2, ...には電位VDDHが出力されている。従って、全ての画素電極S1,

S2, ...には画素トランジスタ13を通して、対向共通電極C0に与えられる電位VCOMと同じ電位が供給されることになり、液晶セル14には電圧が印加されない状態となる。

この状態を実現した後、電源を完全にオフすれば、液晶セル14に電圧がかかっていないため、液晶セル14内に電荷が蓄積される心配がなくなる。すなわち、電源のオン・オフをくり返しても、フリッカや焼付などの異常現象を防止することができる。

以上、電源をオフする場合を例にとり動作を説明したが、電源をオンする場合でも、電源オン直後は映像信号が異常であることが考えられるので、正常な映像信号が与えられると考えられる時まで、ゲート・オン電位VGHを全ゲートバスに印加し、かつ対向共通電極C0の電位VCOMを全ドレインバスに印加しておいた方がよい場合もある。

次に、第5図は本発明の第2の実施例を示すブロック図、第6図は第5図の実施例における各部動作波形例を示す波形図である。

第5図の実施例において、第1図の実施例とほぼ同機能のブロックには同じ記号を付している。

第5図の実施例が、第1図の実施例と異なる点は、オア回路41を省き、シフトレジスタ21の代わりに、セット端子8に"H"レベルが入力されると、全ての出力に"H"が出力されるセット機能付シフトレジスタ51を用いた垂直走査回路5を用いている点である。

第5図の実施例によれば、電源オフを電源オン・オフ検出回路4により検知すると、直ちにセット機能付シフトレジスタ51の出力は全て"H"となるため、ゲートバスG1, G2, ...は全てゲート・オン電位VGHとなる。

一方、水平走査回路3の入力が映像信号から対向共通電極C0の電位VCOMに切替った後、ドレインバスD1, D2, ...に電位VDDHを出力するまでに1水平走査周期必要であり、さらに画素トランジスタを通して画素電極S1, S2, ...に電位VDDHが与えられるまで約1水平走査周期必要である。

従って、第5図の実施例では液晶表示パネル1

の正常動作に必要な最低電源電圧を、電源オフを検出後、約2水平走査周期以上確保すればよく、第1図の実施例に比べて最低電源電圧を確保しなければならない期間を短かくすることができる利点がある。

第7図は本発明の第3の実施例を示すブロック図である。

第7図の実施例が、第1図の実施例と異なる点は、オア回路41の代わりに電源オン・オフ検出回路4で制御されるスイッチ43を設けた点である。

スイッチ43は、検出信号DOPの"H"で端子201に印加されるゲート・オン電位VGH、"L"で端子202に印加されるゲート・オフ電位VGLを出力し、垂直走査回路2に印加している。従って、電源オフを電源オン・オフ検出回路4が検出して検出信号DOPが"L"となると同時に、スイッチ22にはゲート・オン電位VGHしか入力されなくなり、ゲートバスG1, G2, ...は全てゲート・オン電位VGHとなる。

すなわち、第1図の実施例と同一の垂直走査回

路2を用いながら第5図の実施例と同じように、最低電源電圧を確保しなければならない期間を短くすることができるという利点を持つ。

第8図は本発明の第4の実施例を示すブロック図である。

第8図の実施例が第4図の実施例と異なる点は、垂直走査回路5に代わり、アクティブ素子を使わないパッシブ方式ツイストノーマチック形マトリクス液晶表示パネルのコラムドライバとして一般に使われるI_O、例えば日立製R D 61105等を垂直走査回路20として用いている点である。

垂直走査回路20は、シフトレジスタ21の出力と制御信号 ϕ の組合せによりスイッチ23をスイッチ制御回路24によって制御し、スイッチ23の入力である4本の信号線に与えられる電位のうち1つを垂直走査回路20の出力とするものである。従って、制御信号 ϕ として、電源オン・オフ検出信号DOFを用い、かつ制御信号 ϕ （すなわち検出信号DOF）とシフトレジスタ21の出力が共に“L”の場合に端子202に与えられるゲート・オフ電位 V_{GH}

を介して電源（図示せず）に接続されており、その電源電圧は端子411を介して液晶表示装置全体へ供給される。また、端子412は電源オン・オフ検出パルスを出力するための電源オン・オフ検出端子である。

一方、コンパレータ421の+側入力には、抵抗423とツェナーダイオード422による基準電位 V_{ref} が与えられ、-側入力には抵抗424と425で電源電位を分割した電位 V_s が与えられる。

端子401に接続されたスイッチ（図示せず）がオン状態で、端子401が電源（図示せず）とつながっており、所定の電位が供給されている時には、 $V_s > V_{ref}$ となるようにしておくことにより、端子412に“L”レベルが得られる。そして、スイッチ（図示せず）がオフされ、端子401が電源から切り離されると、端子401の電位が下がり、 $V_s < V_{ref}$ となるため、端子412に“H”レベルが得られ、電源のオフを検出できたことになる。電源オンについても同様である。

また、電源オフ後も、コンデンサ450によって、

を、その他の組合せの場合には端子201に与えられるゲート・オン電位 V_{OH} を、それぞれ選択出力するように接続することにより、液晶表示パネル1を第5図の実施例と同様に駆動できる。

また、第8図の実施例では、垂直走査回路20として、前述のように一般市販のI_Oが使えるため、特に専用I_Oを開発する必要がないという利点がある。

さて、以上述べてきた各実施例においては、それぞれ、電源オン・オフ検出回路4を用いているが、その構成については詳しく述べなかった。

そこで、次に、電源オン・オフ検出回路4の構成及び動作について説明する。

第9図は本発明で用いられる電源オン・オフ検出回路の一具体例を示すブロック図、である。

第9図の具体例では、電源オン・オフ回路4は、コンパレータ421、ツェナーダイオード422、抵抗423、424、425、コンデンサ450から構成される。

端子401はオン・オフ可能なスイッチ（図示せ

ず）を介して電源（図示せず）に接続されており、その電源電圧は端子411を介して液晶表示装置全体へ供給される。また、端子412は電源オン・オフ検出パルスを出力するための電源オン・オフ検出端子である。

第10図は本発明で用いられる電源オン・オフ検出回路の他の具体例を示すブロック図である。

第10図の具体例では、電源オン・オフ回路4は、抵抗426、プッシュスイッチ427、単安定マルチバイブレータ428、D型フリップフロップ429、OR回路430、スイッチ431で構成される。

また、第11図は、第10図の具体例における各部動作波形例を示す波形図である。

まず、電源オン時の動作を説明する。

プッシュスイッチ427を押すと、単安定マルチバイブレータ428の入力波形I_Nが“L”となって、トリガがかかり、単安定マルチバイブレータ428の出力波形DOFは、単安定マルチバイブレータ428の持つ固有の遅延時間 τ の期間“H”が得られる。このパルスが、電源オン検出パルスとなる。同時に、このパルスがD型フリップフロップ429に入力され、状態が反転し、波形Qが“H”となる。オ

ア回路430により、波形Qと波形DOPの調理和VONが形成され、スイッチ431が閉じ、端子411を介して液晶表示装置全体に電源電位が供給される。

電源オフ時は、オンと同様に、プッシュスイッチ427を押すことにより、波形INに“L”が入力され、単安定マルチバイブレータ428により時間幅 τ のパルスが波形DOPに生じる。このパルスが電源オフ検出パルスとなる。このパルスを受けて、D型フリップフロップ429の出力波形Qは反転し、“L”レベルとなるが、スイッチ431を制御する信号VONは、オア回路430により波形Qと波形DOPの論理和であるため、電源オフ検出パルスがなくなる(“L”レベルとなる)までの間、スイッチ431が閉じ、液晶表示装置全体に電源電位を供給することができる。

尚、複数の電源電位が必要な場合は、任意の1つの電源電位につながる制御回路440により、電源電位の数だけ用意されたスイッチの開閉を制御するようにすれば良い。

・オン電位VOHとほぼ等しくなる。この様に、電源オフを検出すると同時に、端子202に加えられる電位V₃をゲート・オン電位VOHに近づけることにより、第7図の実施例とほぼ同様な動作と効果を実現することができる。尚、抵抗93は複数電圧発生回路94の内部インピーダンスで代用し、省略することもできる。

第13図は本発明の第6の実施例を示すブロック図である。

第13図の実施例が、第12図の実施例と異なる点は、電源制御部9を簡略化して、ツェナーダイオード91で構成し電位V₁、V₂、V₃をそれぞれ与える信号線を短絡した電源制御部90を用いている点である。

電位V₁、V₂、V₃として、例えば+5V、電位V₄として、例えば-13.5V、電位5Vとして、例えば-20V、ツェナーダイオード91のツェナー電圧を例えば6Vとして、第13図の実施例を説明する。

通常表示状態ではツェナーダイオード91はオフしている。電源がオフされ、複数電圧発生回路94

さて、次に、第12図は本発明の第5の実施例を示すブロック図である。

第12図において、8は電源供給部分を除いた液晶表示装置であり、9は電源制御部、94は複数電圧発生回路である。ここで、電源制御部9は、電源オン・オフ検出回路4と、例えば、トランジスタ等を用いたスイッチ92、抵抗93で構成される。一方、V₁は端子201に加えられる電位であり、ゲート・オン電位VOHに等しく、またV₂は制御回路6等に電流を供給する電源電位、V₃とV₄はビデオ信号処理回路7や水平走査回路3の映像信号等のアナログ信号処理に必要な電流を供給する電源電位、V₅は端子202に加えられる電位、である。

第12図の実施例では、通常表示状態において、スイッチ92がオフしており、かつ、電位V₃を与える信号線に流れる電流は微少であり、抵抗93での電圧降下がほぼ無視できるので、電位V₃は、ゲート・オフ電位VOLと等しくなる。電源オン・オフ検出回路4により電源オフを検出すると、スイッチ92がオンし、電位V₃は電位V₁、即ち、ゲート

の出力電圧が低下し始めた時、液晶表示装置8内のアナログ処理回路とつながっている電位V₄を与える信号線に必要な電流が、電位V₃に与える信号線に必要な電流に比べて多いとすると、電位V₄の方が電位V₃よりも速く上昇する(すなわち、早く0Vに近づく)。そして、電位V₄と電位V₃の電位差が6Vになった時、ツェナーダイオード91がオンする。すなわち、ツェナーダイオード91が第12図の実施例における電源オン・オフ検出回路4として働く。

さらに電位V₄が上昇する(0Vに近づく)と、ツェナーダイオード91がオンしているため、電位V₃も電位V₄と同じ速度で上昇することになる。従って、ツェナーダイオード91が、第12図の実施例のスイッチ92と同様な働きをすることになる。

第13図の実施例は、第12図の実施例に比べて、電源オフ検出後、全ゲートバスの電位をゲートオン電位VOHとすることができないので、液晶セル内電荷蓄積を完全に防止することはできないが、ツェナーダイオード91の追加だけで、ツェナーダ

イオード91を用いない場合に比べて液晶セル内電荷蓄積量を減少させる効果があり、従って、フリッカや焼付を減らすことができる。

〔発明の効果〕

以上、述べてきたように、本発明によれば、電源オン又はオフによる。液晶セル内の電荷蓄積を防止あるいは軽減することができるので、液晶表示装置の電源のオン、オフをくり返しても、液晶表示パネル上にフリッカや焼付のない良好な画像を得られると言う効果がある。

4. 図面の簡単な説明

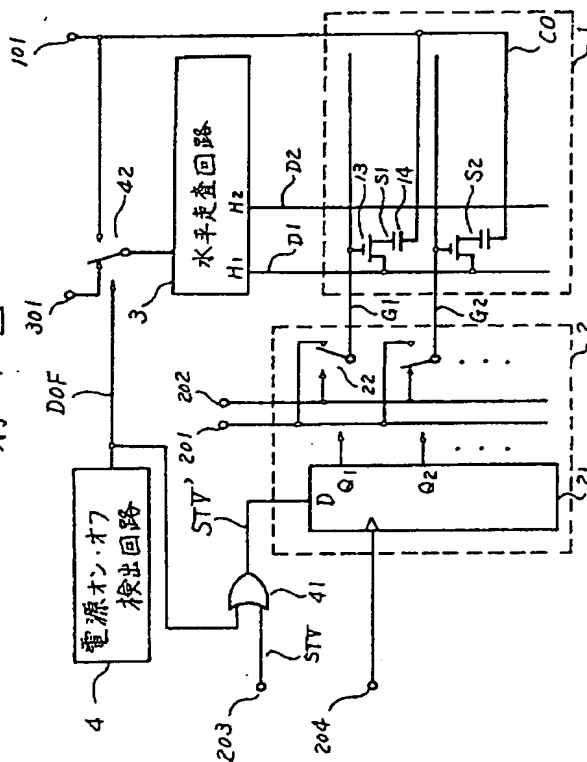
第1図は本発明の第1の実施例を示すブロック図、第2図は第1図の実施例における各部動作波形例を示す波形図、第3図は従来の液晶表示装置を示すブロック図、第4図は第3図の従来例における各部動作波形例を示す波形図、第5図は本発明の第2の実施例を示すブロック図、第6図は第5図の実施例における各部動作波形例を示す波形図、第7図は本発明の第3の実施例を示すブロック図、第8図は本発明の第4の実施例を示すブロッ

ク図、第9図は本発明で用いられる電源オン・オフ検出回路の一具体例を示すブロック図、第10図は本発明で用いられる電源オン・オフ検出回路の他の具体例を示すブロック図、第11図は第10図の具体例における各部動作波形例を示す波形図、第12図は本発明の第5の実施例を示すブロック図、第13図は本発明の第6の実施例を示すブロック図、である。

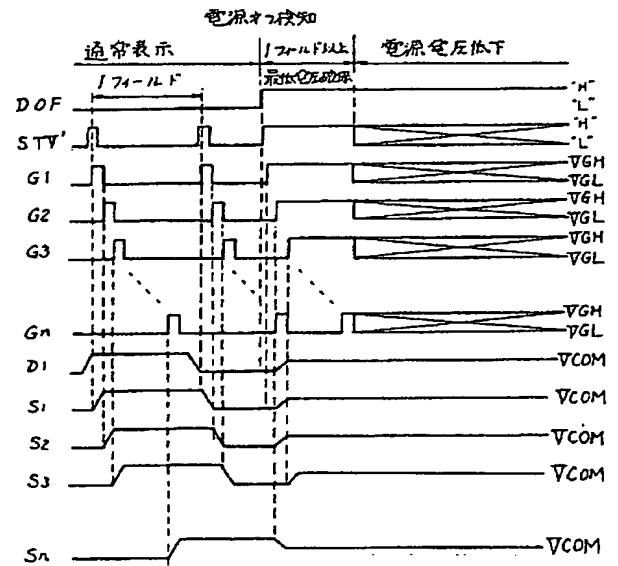
1…液晶表示パネル、3…水平走査回路、2、5、20…垂直走査回路、4…電源オン・オフ検出回路、6…制御回路、7…ビデオ信号処理回路、8…電源供給部分を除いた液晶表示装置、9…電源制御部、21…シフトレジスタ、51…セット機能付シフトレジスタ、22、42、43、92…スイッチ、00…対向共通電極、13…画素トランジスタ、14…液晶セル。

代理人井堀士 小 川 勝 男

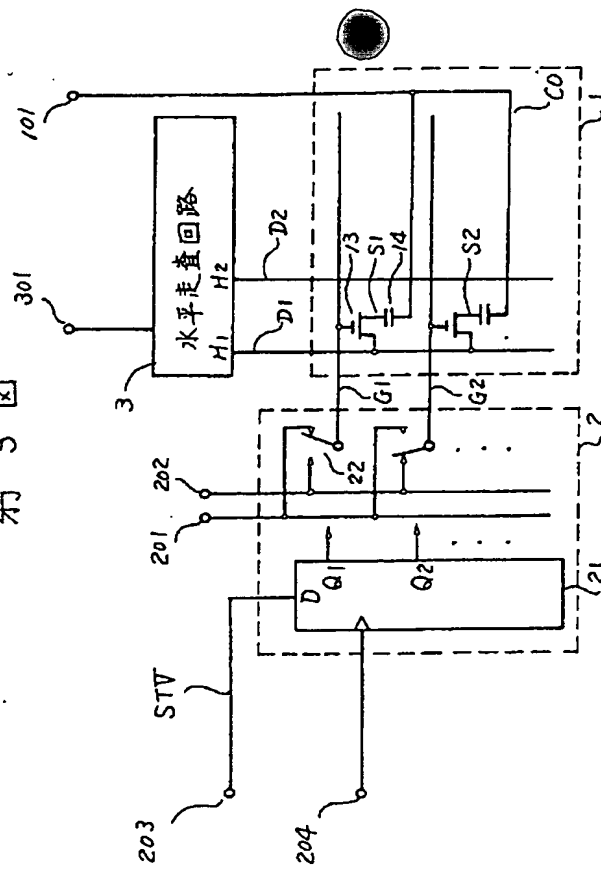
第1図



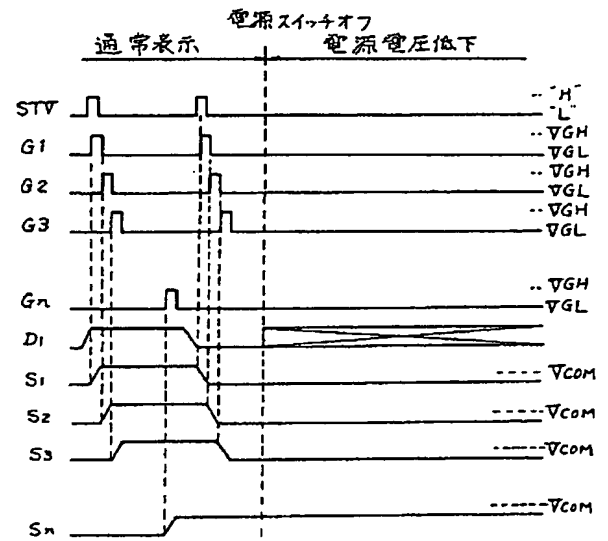
第2図



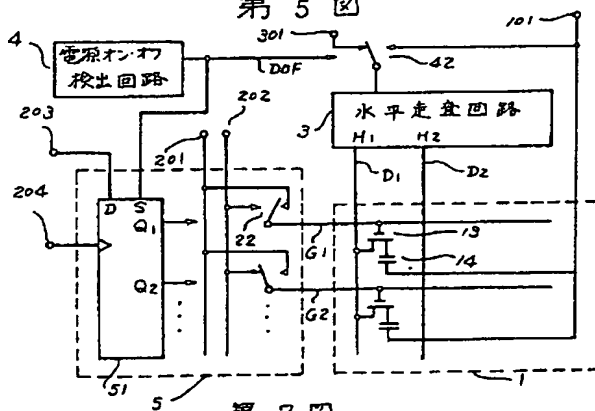
第 3 図



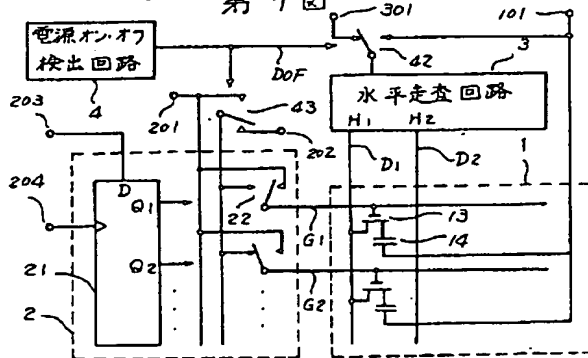
第 4 図



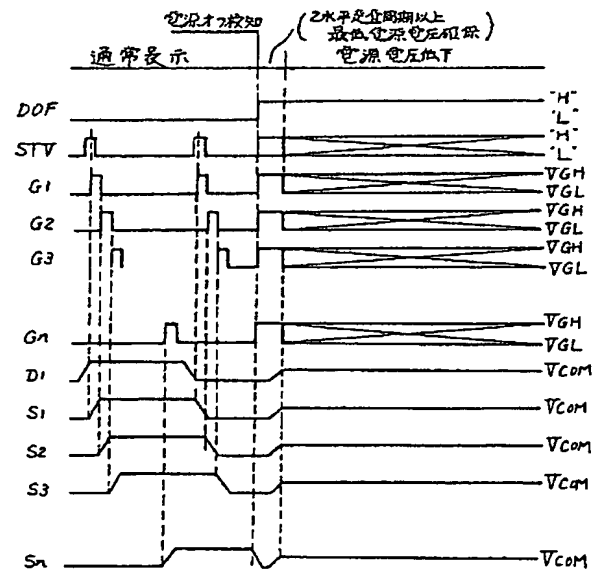
第 5 図

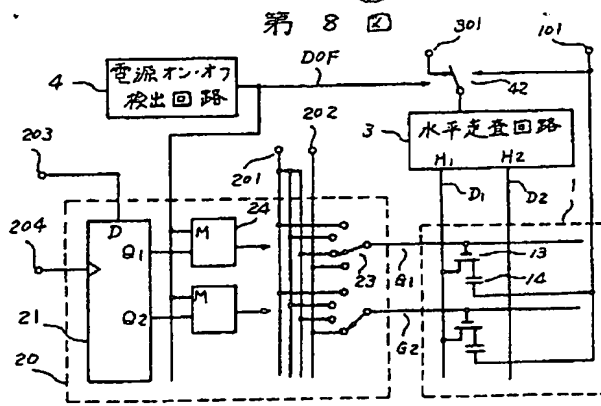


第 7 図

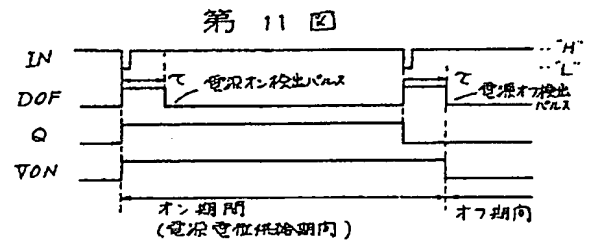
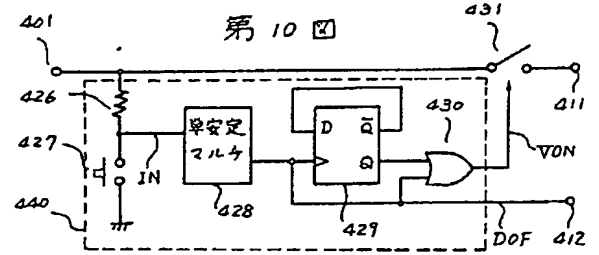
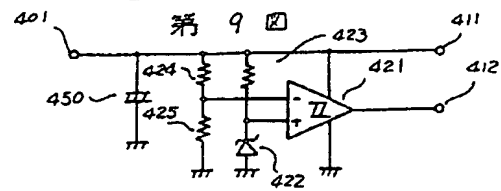
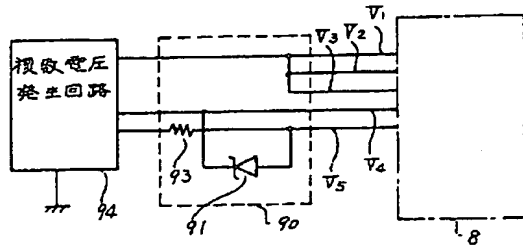


第 6 図





第 13 図



第 12 図

